

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **54-157481**

(43)Date of publication of application : **12.12.1979**

---

(51)Int.Cl.

**H01L 29/78**  
**H01L 29/06**  
**// H01L 27/06**  
**H03H 7/30**

---

(21)Application number : **53-066329**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **02.06.1978**

(72)Inventor : **YANAGI TOSHIO**

---

### (54) MOS TRANSISTOR

#### (57)Abstract:

PURPOSE: To obtain MOS element which is suited for the low voltage current load such as the delay circuit in IC by providing within the channel region enclosed by the source and drain regions the region featuring the meandering pattern and a lower inverse voltage than the channel region.

CONSTITUTION: Field SiO<sub>2</sub> film 12 is formed on P--type Si substrate 11, and gate SiO<sub>2</sub> films 131~ 133 are formed on the substrate surface for MOS transistor T1 and T2 plus MOS capacitor C each. Then polycrystal Si electrodes 141~ 143 are provided on these SiO<sub>2</sub> films to used as the mask to give the selective etching to films 131~ 133. Using those openings caused through the selective etching, N+-type source region 161 of element T1, N+-type region 152 to become to the drain of T1 doubling the source of T2, and N+- type drain region 153 are formed each by diffusion within substrate 11. After this, meandering N--type region 19 featuring a narrow width and space plus a low inverse voltage is formed within the rectangular pattern region enclosed by region 152 and 153 of T2 via the ion injection and with use of the mask containing opening 18, thus forming the current path.

---

### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫公開特許公報 (A)

昭54—157481

⑪Int. Cl.<sup>2</sup>

H 01 L 29/78  
H 01 L 29/06 //  
H 01 L 27/06  
H 03 H 7/30

識別記号

⑫日本分類

99(5) E 3  
99(5) H 0  
98(3) A 8

庁内整理番号

6603—5F  
7514—5F  
6513—5F  
6238—5J

⑬公開 昭和54年(1979)12月12日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭MOSトランジスタ

東京芝浦電気株式会社総合研究  
所内

⑮特 願 昭53—66329

⑯出 願 人 東京芝浦電気株式会社

⑰出 願 昭53(1978)6月2日

川崎市幸区堀川町72番地

⑱発 明 者 柳寿男

⑲代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地

## 明 細 書

## 1. 発明の名称

MOSトランジスタ

## 2. 特許請求の範囲

半導体基板の互いに離隔した位置にソース、ドレイン領域を設け、このソース、ドレイン領域間のチャネル領域表面にゲート絶縁膜を介してゲート電極を設けてなるMOSトランジスタにおいて、前記チャネル領域は、フィールド絶縁膜とソース、ドレイン領域により囲まれた第1の領域内に、この領域より反転電圧の低い蛇行パターンの第2の領域を設けて構成されたことを特徴とするMOSトランジスタ。

## 3. 発明の詳細な説明

この発明はMOSトランジスタに係り、特に集積回路における遅延回路等の低電流負荷として有用なMOSトランジスタに関する。

集積回路内である信号に対する遅延信号を得る場合、コンデンサと抵抗をもつた積分回路が、不可欠の要素となる。MOS集積回路でこれを

実現しようとする、第1図のような等価回路で表わされる構成の積分回路となる。T<sub>1</sub>はエンハンスメント(図型)のドライバ用MOSトランジスタ、T<sub>2</sub>はデプレション(図型)の負荷用MOSトランジスタであり、Cはゲート酸化膜を利用したいわゆるMOSキャパシタである。このような積分回路に入力信号を入れ、その出力を一定のしきい値をもつたコンパレータに入れることによつて遅延信号が得られる。この場合、遅延時間の制御は、MOSキャパシタCの容量値あるいは負荷用MOSトランジスタT<sub>2</sub>の等価抵抗を変えることで行われるが、大きな遅延時間を得ようとする、この遅延回路が集積回路内で占める面積は非常に大きなものとなる。

このような遅延回路を集積回路内で実現した構造例を第2図に示す。(a)は模式的な平面パターンであり、(b)、(c)はそれぞれA—A'、B—B'断面である。この例は、Siゲートプロセスを用いたnチャネルMOSの場合で、1がP型Si基板、2が例えば選択酸化法により得ら

れたフィールド酸化膜である。 $3_1 \sim 3_2$ はそれぞれドライバ用MOSトランジスタ $T_1$ 、負荷用MOSトランジスタ $T_2$ 、MOSキャパシタCのゲート酸化膜であり、 $4_1 \sim 4_2$ は同じくポリSi電極である。 $n^+$ 型層 $5_1$ はトランジスタ $T_1$ のソース、 $n^+$ 型層 $5_2$ はトランジスタ $T_1$ のドレイン兼トランジスタ $T_2$ のソース、 $n^+$ 型層 $5_3$ はトランジスタ $T_2$ のドレインである。 $6$ は例えばCVD酸化膜であり、その必要な個所にコンタクト穴あけを行つてA $\delta$ 配線 $7_1$ 、 $7_2$ を設けている。負荷用MOSトランジスタ $T_2$ のチャネル領域はフィールド酸化膜 $2$ で囲まれた蛇行パターンとし、かつこの領域を、第2図(a)に破線で示すような開口 $8$ をもつマスクを用いてイオン注入を行うことで $p^-$ 型層 $9$ としている。

このように、負荷用MOSトランジスタ $T_2$ は、チャネル領域を $p^-$ 型層として反転電圧の低いD型の特性とし、かつチャネル領域を蛇行パターンとすることで等価抵抗を大きくして、

必要な遅延時間が得られるようにしている。

第2図(a)から明らかなように、大きな遅延時間を得ようとすると、負荷用MOSトランジスタ $T_2$ およびMOSキャパシタCの面積が非常に大きいものとなることが判る。面積をこれより大きくすることなく、更に大きな遅延時間を得るためには、(1)MOSキャパシタC部分のゲート酸化膜厚を薄くする、(2)負荷用MOSトランジスタ $T_2$ のチャネル領域の不純物濃度を低くする、(3)負荷用MOSトランジスタ $T_2$ の蛇行するチャネル領域の幅、間隔を狭くする、等が考えられる。しかしながら、(1)、(2)の方法では他のMOSトランジスタと異なる製造工程を必要とするため工程数が増えて好ましくない。また(3)は、従来のチャネル領域の蛇行パターンがフィールド酸化工程で得られるものであるため、製造上限界があつて、余り狭いパターンを実現することはできない。

この発明は上記した点に鑑みてなされたもので、D型の特性を示し、かつ小さい面積で十分

大きい等価抵抗を持つようにしたMOSトランジスタを提供するものである。

この発明においては、MOSトランジスタのチャネル領域を、ソース、ドレイン領域とフィールド絶縁膜により囲まれたB型の特性を示す第1の領域と、この領域内に形成されたこれより反転電圧が低く、従つてD型の特性を示す蛇行パターンの第2の領域とから構成する。このMOSトランジスタは、ゲートとソースを接続して負荷抵抗として用いた場合、蛇行パターンの第2の領域のみが電流通路となる。そして、この第2の領域の蛇行パターンの幅と間隔は、フィールド絶縁膜の開口で決まるものではなく、イオン注入用マスクの開口で決めることができるので非常に小さくすることができる。

以下、図面を参照してこの発明の実施例を説明する。第3図は第1図の等価回路で示される遅延回路にこの発明を適用した実施例で、(a)は模式的平面パターン、(b)、(c)はそれぞれ(a)のX-X'、Y-Y'断面を示している。第2図と

同様、Siゲートプロセスを用いた $n$ チャネルMOSの場合であり、 $11$ が $p^-$ 型Si基板、 $12$ が例えば選択酸化法により得られたフィールド酸化膜である。 $13_1$ 、 $13_2$ および $13_3$ は熱酸化により形成されたそれぞれMOSトランジスタ $T_1$ 、 $T_2$ およびMOSキャパシタCのゲート酸化膜であり、これらのゲート酸化膜 $13_1$ 、 $13_2$ および $13_3$ の上にそれぞれポリSi電極 $14_1$ 、 $14_2$ および $14_3$ が配設されている。 $n^+$ 型層 $15_1$ はMOSトランジスタ $T_1$ のソース領域、 $n^+$ 型層 $15_2$ はMOSトランジスタ $T_1$ のドレイン兼MOSトランジスタ $T_2$ のソース領域、 $n^+$ 型層 $15_3$ はMOSトランジスタ $T_2$ のドレイン領域である。これら $n^+$ 型層 $15_1 \sim 15_3$ は、ポリSi電極 $14_1 \sim 14_3$ をパターニングした後、このポリSi電極 $14_1 \sim 14_3$ をマスクとしてゲート酸化膜をエッチングし、不純物拡散を行つて形成される。 $16$ は例えばCVD酸化膜であり、これを被着した後、その所定個所にコンタクト

穴あけを行つて、A<sub>2</sub>配線17<sub>1</sub>、17<sub>2</sub>を配設している。負荷用MOSトランジスタT<sub>2</sub>のチャネル領域は、フィールド酸化膜12とn<sup>+</sup>型層15<sub>1</sub>、15<sub>2</sub>とに囲まれた略矩形パターンの第1の領域内に、第3図(a)に破線で示すような開口18をもつマスクを用いてイオン注入を行つて非常に狭い幅と間隔をもつ蛇行パターンのn<sup>-</sup>型層19からなる第2の領域を形成して得られる。なお、ポリSi電極14<sub>1</sub>と14<sub>2</sub>は一体的に形成されており、またコンタクト部20においてn<sup>+</sup>型層15<sub>1</sub>とダイレクトコンタクトさせて負荷用MOSトランジスタT<sub>2</sub>のソース・ゲート間を接続している。

このような構造とした遅延回路では、負荷用MOSトランジスタT<sub>2</sub>がE型トランジスタとD型トランジスタを一体化した形となつていますが、そのゲートとソースを接続しているために負荷特性としては蛇行パターンの第1の領域で決まるD型特性を示し、かつその蛇行パターンの幅、間隔を十分狭くしているため大きな等価

抵抗を示す。また、この構造では実質的に負荷抵抗として機能するMOSトランジスタT<sub>2</sub>の蛇行パターンの第1の領域、即ちn<sup>-</sup>型層19は、従来のようにフィールド酸化膜で幅、間隔が決められるものではなく、イオン注入のマスクでその幅、間隔が決められるので、非常に大きい負荷抵抗を容易に実現することができる。従つて、従来の第2図のものに比べて、同じ面積でも大きい遅延時間を得ることが可能である。逆に同じ遅延時間でよいとすれば、遅延回路の面積を小さいものとすることができる。

なお、以上では専ら遅延回路について説明したが、この発明に係る低電流のD型MOSトランジスタは他の回路に用いても勿論有用であり、MOS集積回路の高密度化に寄与することができる。

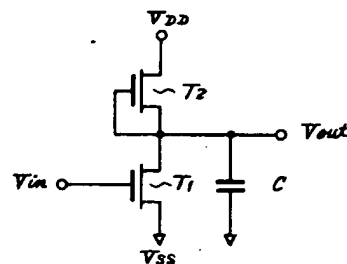
#### 4. 図面の簡単な説明

第1図はMOS集積回路に用いられる遅延回路の等価回路図、第2図(a)~(c)はその遅延回路の従来の構造例を示す図、第3図(a)~(c)はこの

発明を第1図の遅延回路に適用した一実施例の構造を示す図である。

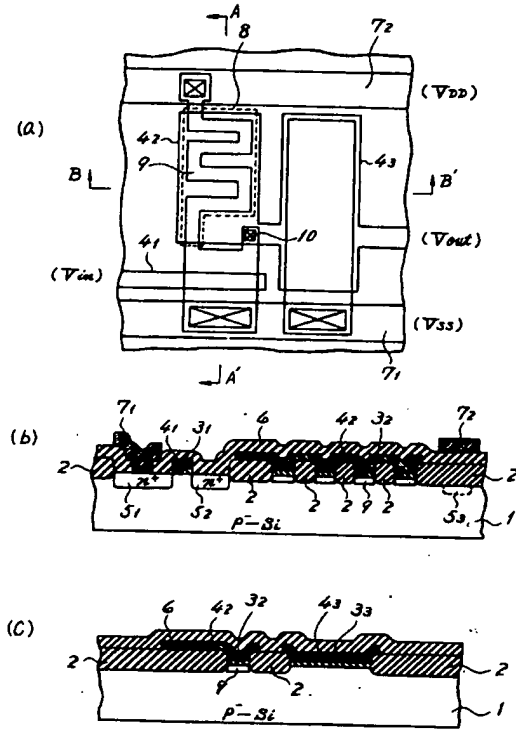
- 11...P<sup>-</sup>型Si基板
- 12...フィールド酸化膜
- 13<sub>1</sub>~13<sub>2</sub>...ゲート酸化膜
- 14<sub>1</sub>~14<sub>2</sub>...ポリSi電極
- 15<sub>1</sub>~15<sub>2</sub>...n<sup>+</sup>型層
- 16...CVD酸化膜
- 17<sub>1</sub>、17<sub>2</sub>...A<sub>2</sub>配線
- 18...イオン注入マスク開口
- 19...n<sup>-</sup>型層
- 20...コンタクト部

第1図

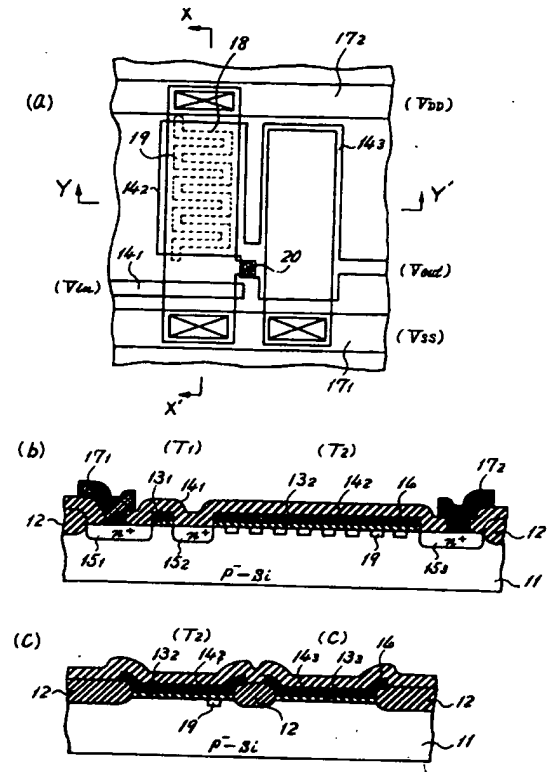


出願人代理人 弁理士 鈴 江 武 彦

★ 2 図



★ 3 図



BEST AVAILABLE COPY